

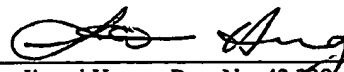
In re application of: CHAU-CHAD TSAI et al.
Application No.: 09/853,005 ✓
Filed: May 09, 2001
For: PERIPHERAL DEVICE INTERFACE CHIP
CACHE AND DATA SYNCHRONIZATION
METHOD
Examiner:
Art Unit:

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

October 4, 2001

(Date)


Jiawei Huang, Reg. No. 43,330

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

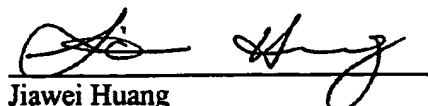
Sir:

RECEIVED
OCT 17 2001
Group 2100

Transmitted herewith is a certified copy of Taiwan Application No. 89111825 filed on June 16, 2000.

A Request for Changing Correspondence Address and return prepaid postcard are also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA5312). A duplicate copy of this sheet is enclosed.


Jiawei Huang
Registration No. 43,330

Please send future correspondence to:
J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2000 年 06 月 16 日
Application Date

申請案號：089111825
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長

Director General

陳明邦

發文日期：西元 2001 年 7 月 日
Issue Date

發文字號：09011010411
Serial No.

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	週邊元件介面控制晶片內部之快取裝置及其與外界之資料同步方法
	英 文	
二、發明 創作人	姓 名	1 蔡兆爵 2 蔡奇哲 3 楊鎮平
	國 籍	中華民國
	住、居所	1 台北市南京東路五段 251 巷 50 弄 5-3 號 2 高雄縣仁武鎮竹後村水管路 15 巷 144 弄 39 號 3 台北市南京東路五段 251 巷 50 弄 5-3 號
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝

訂

線

四、中文發明摘要(發明之名稱：

週邊元件介面控制晶片內部之快取
裝置及其與外界之資料同步方法

一種週邊元件介面控制晶片內部之快取(cache)裝置及其與外界之資料同步方法，使用於電腦系統中，包括資料緩衝區以及週邊元件介面控制器。其中，資料緩衝區位於控制晶片中，用以儲存自記憶體所讀取之資料串，以提供週邊裝置所需的資料，並且當資料串為有效時，持續保留此資料串。而週邊元件介面控制器也位於控制晶片中，用以偵測資料緩衝區中之資料串是否包括週邊裝置所需要的資料，資料串是否仍為有效資料，控制自記憶體中取得資料串置入資料緩衝區中，以及控制資料緩衝區的狀態轉換。

英文發明摘要(發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(|)

本發明是有關於一種快取(cache)裝置及其與外界之資料同步方法，且特別是有關於一種週邊元件介面控制晶片內部之快取裝置及其與外界之資料同步方法。

習知對於週邊元件介面讀取資料的處理，雖然會在週邊元件介面控制晶片組中加入資料緩衝區，但是卻沒有提供快取(cache)的功能。因此，每當週邊裝置需要從記憶體讀取資料的時候，週邊元件介面控制晶片組就會執行讀取指令，並到記憶體中讀取相關的資料。

請參考第 1 圖，其顯示了習知在週邊裝置讀取資料時，週邊元件匯流排中部分信號的時序圖(Timing diagram)。由此圖中可以得知，在此週邊元件匯流排中共傳輸了兩筆資料，此兩筆資料的傳輸啓始時間則分別是 CLK1 以及 CLK20。

在第 1 圖中，首先在 CLK1 的時候，FRAME 信號線就設定在動作(asserted)狀態，用以指出週邊元件匯流排要開始進行資料的傳輸。而同時，AD 信號線也將資料傳輸目的地的位址擺置在匯流排上。在 CLK2 的時候，IRDY 信號線就已經設定在動作狀態，表示開始此次傳輸的週邊裝置已經準備好開始資料傳輸，但是 TRDY 信號線則到 CLK8 的時候才設定為動作狀態。因此，資料就必須從 CLK9 開始進行傳輸。而這一段從 IRDY 信號線設定為動作狀態，一直到 TRDY 信號線設定為動作狀態的時間，就稱為延遲時間(latency)。

而在第 1 圖中的第二筆資料傳輸，是從 CLK20 的時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(二)

候，FRAME 信號線設定為動作狀態時開始。而且此第二筆資料傳輸，是與第一筆資料相同，或是相差在一條線(1 line)，也就是 32 個位元組(byte)，的位址以內。於是週邊元件介面控制器對匯流排的控制，以及信號線的時序，都會和第一筆資料傳輸時相同。

所以，第二筆資料傳輸，首先在 CLK20 的時候，FRAME 信號線就設定在動作狀態，用以指出週邊元件匯流排要開始進行資料的傳輸。而同時，AD 信號線也將資料傳輸目的地的位址擺置在匯流排上。在 CLK21 的時候，IRDY 信號線就已經設定在動作狀態，表示開始此次傳輸的週邊裝置已經準備好開始資料傳輸，但是 TRDY 信號線則到 CLK27 的時候才設定為動作狀態。因此，資料就必須從 CLK28 才能開始進行傳輸。

綜上所述，習知在週邊元件介面傳輸的時候，縱使相鄰兩筆資料的傳輸標的(Target)位址相同，或者位址相差在一條線以內，仍然還會產生一段延遲時間。而這一段傳輸時存在的延遲時間，就會造成整個週邊元件介面，包括週邊元件匯流排以及週邊裝置，在使用效率上的降低。

有鑒於此，本發明提出一種週邊元件介面控制晶片內部之快取裝置及其與外界之資料同步方法，其可以減少週邊裝置讀取資料時所產生的延遲時間，增加週邊裝置以及週邊元件匯流排的使用效率。藉由資料同步的方法，使得在減少延遲時間之外，也能同時確保資料的正確性。

本發明提出一種週邊元件介面控制晶片內部之快取裝

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

置，其運作於一個控制晶片中，使用於包括一組記憶體，一個CPU匯流排，一個中央處理器，一個週邊元件匯流排以及至少一個週邊裝置的電腦系統中。此快取裝置包括一個資料緩衝區以及一個週邊元件介面控制器。其中，資料緩衝區位於控制晶片中，用以儲存自記憶體所讀取之資料串，以提供週邊裝置所需的資料。此外，並在此資料串與此資料串在記憶體內之對應位址上的資料同步時，保留此資料串；當任一週邊裝置需要此資料串所包括之資料時，可立即提供此資料串所包括之資料，以減少自記憶體再度讀取此資料串所須之時間。

而週邊元件介面控制器也位於控制晶片中，用以偵測上述之資料串是否包括週邊裝置所需要的資料；偵測此資料串是否與上述對應位址上之資料同步；自記憶體中取得此資料串置入於資料緩衝區；以及轉換資料緩衝區包括此資料串之部分的狀態。

本發明還提出一種週邊元件介面內部快取系統與外界之資料同步方法，應用於包括一組記憶體，至少一個中央處理器，一個控制晶片，一個週邊元件匯流排，一個CPU匯流排以及至少一個週邊裝置的電腦系統中。其中，控制晶片包括一個週邊元件介面控制器以及一個資料緩衝區。且當記憶體中的記憶體資料串讀入於資料緩衝區中，會成爲一個緩衝資料串。

此資料同步方法包括下列步驟。首先，當資料緩衝區在初始化的時候，就設定爲空虛(Empty)狀態。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

接下來，當週邊元件介面控制器根據週邊裝置的需求，讀取緩衝資料串進入資料緩衝區時，就將資料緩衝區包含此緩衝資料串的緩衝資料部分設定為乾淨未取用(Clean-no accessed)狀態。

而當上述之緩衝資料部分處於乾淨未取用狀態時，若經由週邊元件介面控制器，在CPU匯流排中偵測到對上述之對應位址進行寫入或讀取的動作時，就將此緩衝資料部分設定為不潔未取用(Dirty-no accessed)狀態。

此外，當此緩衝資料部分處於乾淨未取用狀態時，若經由週邊元件介面控制器，在週邊元件匯流排中偵測到對此對應位址進行寫入的動作，就將此緩衝資料部分設定為不潔未取用狀態。

而當此緩衝資料部分處於乾淨未取用狀態時，若需求此緩衝資料串的週邊裝置從上述之緩衝資料部分中讀取緩衝資料串，就將此緩衝資料部分設定為乾淨已取用(Clean-accessed)狀態。

當此緩衝資料部分處於不潔未取用狀態時，若需求此緩衝資料串的週邊裝置從此緩衝資料部分中讀取此緩衝資料串後，則會將此緩衝資料部分設定為上述的空虛狀態。

此外，當上述之緩衝資料部分處於乾淨已取用狀態時，若經由週邊元件介面控制器，在CPU匯流排中偵測到對上述之對應位址進行寫入或讀取的動作時，就將此緩衝資料部分設定為上述之空虛狀態。

而當緩衝資料部分處於乾淨已取用狀態時，若經由週

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

邊元件介面控制器，在週邊元件匯流排中偵測到對此對應位址進行寫入的動作，就將此緩衝資料部分設定為上述之空虛狀態。

本發明也提出一種週邊元件介面內部快取系統與外界之資料同步方法，應用於包括一組記憶體，至少一個中央處理器，一個控制晶片，一個週邊元件匯流排，一個CPU匯流排以及至少一個週邊裝置的電腦系統中。其中控制晶片包括一個週邊元件介面控制器以及一個資料緩衝區，且中央處理器使用MOESI程序(MOESI protocol)，與MOESI相關的技術及原理說明文件，可以由以下網址中得知概要：
<http://www.sun.com/microelectronics/datasheets/stp1030/10.html>。當記憶體中的記憶體資料串讀入於中央處理器中，則成為一個快取資料串，而當記憶體資料串讀入於資料緩衝區中，則成為一個緩衝資料串。

此資料同步方法包括下列步驟：當快取資料串處於修改(Modified)狀態時，若資料緩衝區對此快取資料串在記憶體中相對應的對應位址執行讀取動作，則週邊元件介面控制器會使中央處理器將此快取資料串設定於擁有者(Owner)狀態。

而當此快取資料串處於除外(Exclusive)狀態時，若資料緩衝區對此對應位址執行讀取動作，則週邊元件介面控制器會使中央處理器將此快取資料串設定於分享(Shared)狀態。

綜上所述，本發明藉由在控制晶片中加入資料緩衝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 6 ）

區，除了儲存此次讀取之資料以外，也同時儲存此次讀取之資料附近位址的其他資料，減少週邊裝置讀取資料時所產生的延遲時間，增加週邊裝置以及週邊元件匯流排的使用效率。此外，並藉由資料同步的方法，使得在減少延遲時間之外，也能同時確保資料的正確性。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的是一時序圖，其顯示了在習知中，週邊裝置自記憶體中讀取兩筆資料時，部分信號的時脈；

第 2 圖繪示的是一裝置圖，其顯示了根據本發明之一較佳實施例的裝置連結方式；

第 3 圖繪示的是一時序圖，其顯示了在根據本發明之一較佳實施例中，週邊裝置自記憶體中讀取兩筆資料時，部分信號的時脈；

第 4 圖繪示的是一狀態改變圖，其顯示了根據本發明之一較佳實施例中，資料緩衝區內的資料狀態改變流程；以及

第 5 圖繪示的是一狀態改變圖，其顯示了根據本發明之一較佳實施例，在一中央處理器中之資料，依照 MOESI 程序的狀態變化流程。

重要元件標號

10：控制晶片

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明(7)

- 15：週邊元件匯流排
- 20：週邊元件介面控制器
- 25：資料緩衝區
- 30：記憶體
- 35：記憶體匯流排
- 40：中央處理器(CPU)
- 45：CPU 匯流排
- 50：週邊裝置

較佳實施例

請參照第2圖，其繪示的是依照本發明之一較佳實施例的一種裝置連結方式。在本實施例中，包括了記憶體30，控制晶片10，週邊裝置50，中央處理器40，週邊元件匯流排15，CPU匯流排45，記憶體匯流排35，週邊元件介面控制器20以及資料緩衝區25。

其中，資料緩衝區25位於控制晶片10之中，用以儲存自記憶體30所讀取之資料串，以提供週邊裝置50所需的資料。而週邊元件介面控制器20也位於控制晶片10之中，用以偵測資料緩衝區25之中的資料串是否包括週邊裝置50所需要的資料。此外，週邊元件介面控制器20也偵測週邊元件匯流排15以及CPU匯流排45中，對於此資料在記憶體30相對應的位址上之動作，以判別此資料串是否仍為有效資料。週邊元件介面控制器20會將此資料串保留，直到有其他的資料串必須使用到這一部份的空間，或是此資料串已經與正確的資料不同步為止。

五、發明說明(8)

另外，週邊元件介面控制器20還能根據週邊裝置50的需求，自記憶體30中取得資料串，並置入控制資料緩衝區25中；而且，週邊元件介面控制器20會傳送一個探測讀取命中信號(ProbeHitRd)至中央處理器40。除此之外，對於上述偵測對於相對應位址之動作，包括接納週邊元件匯流排15對此相對應位址進行寫入動作時所發出之信號，接納CPU匯流排45進行寫入動作時所發出之信號，以及接納CPU匯流排45進行讀取動作時所發出之信號。另外，週邊元件介面控制器20也同時根據偵測的結果，控制資料緩衝區25的狀態轉換。

在本實施例中，資料緩衝區25包括了八條線(line)，而每一條線的容量為32個位元組(Byte)。所以在此處，資料緩衝區25的總容量為256個位元組。此外，在本實施例中，每兩條線被區分為一個傳輸區塊，而每個傳輸區塊則儲存一次傳輸所讀取的資料。由於在本實施例中以兩條線為一個傳輸區塊，所以一次傳輸所讀取的資料，除了週邊裝置50需要的資料之外，也同時讀取了自此資料之後，包括此資料共兩條線的資料。也就是說，總共讀取了64個位元組的資料。

請合併參考第2圖以及第3圖，其中，第3圖顯示了在根據本發明之一較佳實施例中，週邊裝置50自記憶體30中讀取兩筆資料時，在週邊元件匯流排15上部分信號的時脈變化。比較第1圖與第3圖可以得知，在讀取第1筆資料的時候，在時脈上並沒有不同。但是，在讀取第1筆資料之後，

五、發明說明(9)

週邊元件介面控制器20會讀入包括此第1筆資料在內，總共64個位元組的資料，並將這些資料都存入在資料緩衝區25的一個傳輸區塊中。於是，當週邊裝置50要讀取第2筆資料，而且此第2筆資料的位址與第1筆資料的位址相同，或是位址包含的資料包含在此傳輸區塊中，也就是64個位元組之內，的時候，就會如第3圖所示，讀取第2筆資料的情況一樣，其延遲就只從CLK21到CLK22，僅一個CLK的時間。而習知讀取同樣的第2筆資料，卻需花費六個CLK的時間。所以，根據上述資料可以輕易得知，本發明能使得週邊元件介面在傳輸資料上有極大的效率成長。

接下來請合併參照第2圖以及第4圖，其顯示了根據本發明之一較佳實施例。其中，第4圖顯示了在本實施例中，控制晶片10中之資料緩衝區25內的資料狀態改變流程。其包括四種狀態，分別為空虛(Empty)狀態400，乾淨未取用(Clean-no accessed)狀態410，不潔未取用(Dirty-no accessed)狀態430以及乾淨已取用(Clean-accessed)狀態420。

其中，記憶體30中的任一個記憶體資料串，經由中央處理器40讀入後，會形成一個快取資料串，而此記憶體資料串讀入於資料緩衝區25中，會形成一個緩衝資料串。而此記憶體資料串，快取資料串以及緩衝資料串皆對應於記憶體30中一個相同的對應位址。

首先，資料緩衝區25在初始化的時候，會被設定為空虛狀態400。

而當週邊元件介面控制器20根據週邊裝置50的需求，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(10)

自記憶體30中讀取記憶體資料串進入資料緩衝區25時，就經由流程440，將資料緩衝區25中包含此記憶體資料串，也就是緩衝資料串的緩衝資料部分，設定為乾淨未取用狀態410。

接下來，當上述的緩衝資料部分處於乾淨未取用狀態410的時候，若經由週邊元件介面控制器20，在CPU匯流排45中偵測到對上述的對應位址進行寫入或者讀取的動作；或是經由週邊元件介面控制器20，在週邊元件匯流排15中偵測到對此對應位址進行寫入的動作時，就經由流程450，將此緩衝資料部分設定為不潔未取用狀態430。

此外，當緩衝資料部分處於乾淨未取用狀態410的時候，若需求此緩衝資料串的週邊裝置50從資料緩衝區25中讀取此緩衝資料串，則週邊元件介面控制器20就經由流程460，將緩衝資料部分設定為乾淨已取用狀態420。

接下來，當緩衝資料部分處於不潔未取用狀態430的時候，若需求此緩衝資料串的週邊裝置50從資料緩衝區25中讀取此緩衝資料串，則經由流程470，將上述的緩衝資料部分設定為空虛狀態400。

除此之外，當緩衝資料部分處於乾淨已取用狀態420的時候，若經由週邊元件介面控制器20，在CPU匯流排45中偵測到對上述之對應位址進行寫入或者讀取的動作；或是經由週邊元件介面控制器20，在週邊元件匯流排15中偵測到對此對應位址進行寫入的動作時，則經由流程480，將上述之緩衝資料部分設定為空虛狀態400。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（//）

接下來請參照第5圖，其顯示了根據本發明之一較佳實施例，在一中央處理器中快取記憶體(cache memory)內部之資料，依照MOESI程序(MOESI Protocol)的狀態變化流程。有關於MOESI的運作方法，現簡述如下。

所謂的MOESI，就是包含修改狀態(M，Modified)510，擁有者狀態(O，Owner)540，除外狀態(E，Exclusive)520，分享狀態(S，Shared)530以及無效狀態(I，Invalid)500。此MOESI程序是用來保持中央處理器內部之快取記憶體與外部快取記憶體之間資料的一致性。

其中，當中央處理器內部之快取記憶體處於無效狀態500時，若有資料自記憶體中讀入，且其他的快取記憶體中並沒有包括此資料的部分，則中央處理器內部之快取記憶體就會轉換為除外狀態520(I-E轉換)。此外，若是自記憶體中讀入的資料在其他的快取記憶體中有另一份備份的話，則中央處理器內部之快取記憶體就會轉換為分享狀態530(I-S轉換)。另外，當在此快取記憶體中產生寫入失誤(Write miss)時，則資料會自動從記憶體中讀入，並且將狀態轉換為修改狀態510(I-M轉換)。

而當中央處理器內部之快取記憶體資料處於除外狀態520時，若在此快取記憶體中對此資料有修改的動作，則會轉換為修改狀態510(E-M轉換)。而若是自系統傳來要求這一份處於除外狀態520的資料，則此資料就會轉換為分享狀態530(E-S轉換)。而當資料需要清除，或是要儲存其他資料的時候，就會自除外狀態520轉換為無效狀態500(E-I轉

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(12)

換)。

另外，當中央處理器內部之快取記憶體資料處於分享狀態530的時候，若是對此資料有儲存的動作，就會轉換為修改狀態510(S-M轉換)。而若是資料需要清除，要儲存其他資料，或是其他保有這份資料之備份的快取記憶體要對備份資料進行更動，則這一份資料就會轉換為無效狀態500(S-I轉換)。

而當中央處理器內部之快取記憶體資料處於修改狀態510時，若有從其他的快取記憶體傳來讀取信號，要讀取此內部之快取記憶體之資料，則此資料會從修改狀態510轉換為擁有者狀態540(M-O轉換)。而若是資料需要清除，要儲存其他資料，或是其他的快取記憶體要對此資料進行寫入動作時，就會使此資料自修改狀態510轉換為無效狀態500(M-I轉換)。此外，若是其他的快取記憶體要對此資料進行讀取的動作，則此資料會從修改狀態510轉換為分享狀態530(M-S轉換)。

最後，當中央處理器內部之快取記憶體資料處於擁有者狀態540時，若是對此資料有寫入的動作，則此資料的狀態將轉換為修改狀態510(O-M轉換)。

接下來，介紹由週邊元件介面控制器傳來的探測讀取命中信號(ProbeHitRd)。此探測讀取命中信號的產生，是當資料緩衝區自記憶體內執行讀取動作的時候，就會藉由週邊元件介面控制器發出此探測讀取命中信號到中央處理器裡。而此探測讀取命中信號，包括了資料緩衝區到記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(13)

中讀取之資料在記憶體內對應的位址。

請合併參照第2圖，第4圖以及第5圖，其顯示了根據本發明之另外一個較佳實施例。其中，當中央處理器使用上述的MOESI程序，且中央處理器的快取記憶體內部之資料處於除外狀態520的時候，若是從週邊元件介面控制器傳來一個探測讀取命中信號，且此信號中包含的位址與中央處理器裡快取記憶體內部之資料的位址相同，則中央處理器裡快取記憶體內部之資料就會從除外狀態520，經過E-S轉換程序560而轉換成分享狀態530。

而當中央處理器使用MOESI程序，且中央處理器的快取記憶體內部之資料處於修改狀態510時，若是從週邊元件介面控制器傳來一個探測讀取命中信號，且此信號中包含的位址與中央處理器裡快取記憶體內部之資料的位址相同，則中央處理器裡快取記憶體內部之資料就會從修改狀態510，經過M-O轉換程序550而轉換為擁有者狀態540。

綜上所述，將本發明的優點略述如下。本發明藉由在北橋晶片組中加入資料緩衝區，減少週邊裝置讀取資料時所產生的延遲時間，增加週邊裝置以及週邊元件匯流排的使用效率。此外，並藉由資料同步的方法，使得在減少延遲時間之外，也能同時確保資料的正確性。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1.一種週邊元件介面控制晶片內部之快取裝置，其運作於一控制晶片中，使用於包括一記憶體，一CPU匯流排，一中央處理器，一週邊元件匯流排以及至少一週邊裝置的一電腦系統中，該快取裝置包括：

一資料緩衝區，位於該控制晶片中，用以儲存自該記憶體所讀取之一資料串，以提供該週邊裝置所需的資料，並在該資料串與該資料串在該記憶體內之一對應位址上之資料同步時，保留該資料串，且當任一該週邊裝置需要該資料串所包括之資料時，可立即提供該資料串所包括之資料，減少自該記憶體再度讀取該資料串所須之時間；以及

一週邊元件介面控制器，位於該控制晶片中，用以偵測該資料串是否包括該週邊裝置所需要的資料，偵測該資料串是否與該對應位址上之資料同步，自該記憶體中取得該資料串置入該資料緩衝區，以及轉換該資料緩衝區包括該資料串之部分的狀態。

2.如申請專利範圍第1項所述之快取裝置，其中該週邊元件介面控制器更包括傳送一探測讀取命中信號(ProbeHitRd)至該中央處理器。

3.如申請專利範圍第1項所述之快取裝置，其中該週邊元件介面控制器更包括，接納該週邊元件匯流排對該對應位址進行寫入動作時所發出之信號。

4.如申請專利範圍第1項所述之快取裝置，其中該週邊元件介面控制器更包括，接納該CPU匯流排對該對應位址進行寫入動作時所發出之信號。

六、申請專利範圍

5.如申請專利範圍第1項所述之快取裝置，其中該週邊元件介面控制器更包括，接納該CPU匯流排對該對應位址進行讀取動作時所發出之信號。

6.如申請專利範圍第1項所述之快取裝置，其中該資料緩衝區係以至少一線(line)所組成。

7.如申請專利範圍第6項所述之快取裝置，其中該資料緩衝區係以八個該線所組成。

8.如申請專利範圍第7項所述之快取裝置，其中八個該線，係以兩個該線在一起，區分為四個傳輸區塊。

9.如申請專利範圍第6項所述之快取裝置，其中該線係由32個位元組(Byte)所組成。

10.一種週邊元件介面內部快取系統與外界之資料同步方法，應用於包括一記憶體，至少一中央處理器，一個控制晶片，一個週邊元件匯流排，一個CPU匯流排以及至少一週邊裝置的一電腦系統中，其中該控制晶片包括一週邊元件介面控制器以及一資料緩衝區，且該中央處理器使用MOESI程序(MOESI protocol)，當該記憶體中的一記憶體資料串讀入於該中央處理器中，則成為一快取資料串，而當該記憶體資料串讀入於該資料緩衝區中，則成為一緩衝資料串，該資料同步方法包括下列步驟：

當該快取資料串處於一修改(Modified)狀態時，若該資料緩衝區對該快取資料串在該記憶體中相對應的一對應位址執行讀取動作，則該週邊元件介面控制器會使該中央處理器將該快取資料串設定於一擁有者(Owner)狀態；以及

六、申請專利範圍

當該快取資料串處於一除外(Exclusive)狀態時，若該資料緩衝區對該對應位址執行讀取動作，則該週邊元件介面控制器會使該中央處理器將該快取資料串設定於一分享(Shared)狀態。

11.如申請專利範圍第10項所述之資料同步方法，更包括：

在該資料緩衝區於初始化的時候，將該資料緩衝區設定為一空虛(Empty)狀態；

當該週邊元件介面控制器根據該週邊裝置的需求，讀取該緩衝資料串進入該資料緩衝區時，就將該資料緩衝區包含該緩衝資料串的一緩衝資料部分設定為一乾淨未取用(Clean-no accessed)狀態；

當該緩衝資料部分處於該乾淨未取用狀態時，若經由該週邊元件介面控制器，在該CPU匯流排中偵測到對該對應位址進行資料存取動作時，則將該緩衝資料部分設定為一不潔未取用(Dirty-no accessed)狀態；

當該緩衝資料部分處於該乾淨未取用狀態時，若經由該週邊元件介面控制器，在該週邊元件匯流排中偵測到對該對應位址進行寫入的動作，就將該緩衝資料部分設定為該不潔未取用狀態；

當該緩衝資料部分處於該乾淨未取用狀態時，若需求該緩衝資料串的該週邊裝置從該緩衝資料部分中讀取該緩衝資料串，則將該緩衝資料部分設定為一乾淨已取用(Clean-accessed)狀態；

六、申請專利範圍

當該緩衝資料部分處於該不潔未取用狀態時，若需求該緩衝資料串的該週邊裝置從該緩衝資料部分中讀取該緩衝資料串，則將該緩衝資料部分設定為該空虛狀態；

當該緩衝資料部分處於該乾淨已取用狀態時，若經由該週邊元件介面控制器，在該CPU匯流排中偵測到對該對應位址進行資料存取動作的時候，則將該緩衝資料部分設定為該空虛狀態；以及

當該緩衝資料部分處於該乾淨已取用狀態時，若經由該週邊元件介面控制器，在該週邊元件匯流排中偵測到對該對應位址進行寫入的動作，則將該緩衝資料部分設定為該空虛狀態。

12.如申請專利範圍第10項所述之資料同步方法，其中該週邊元件介面控制器讀取該緩衝資料串進入該資料緩衝區時，會同時藉由該週邊元件介面控制器發出一探測讀取命中信號(ProbeHitRd)至該中央處理器中。

13.如申請專利範圍第12項所述之資料同步方法，其中該探測讀取命中信號更包括該對應位址。

14.一種週邊元件介面內部快取系統與外界之資料同步方法，應用於包括一記憶體，至少一中央處理器，一個控制晶片，一個週邊元件匯流排，一個CPU匯流排以及至少一週邊裝置的一電腦系統中，其中該控制晶片包括一週邊元件介面控制器以及一資料緩衝區，且當該記憶體中的一記憶體資料串讀入於該資料緩衝區中，會成為一緩衝資料串，該資料同步方法包括下列步驟：

六、申請專利範圍

該資料緩衝區於初始化的時候，設定為一空虛(Empty)狀態；

當該週邊元件介面控制器根據該週邊裝置的需求，讀取該緩衝資料串進入該資料緩衝區時，就將該資料緩衝區包含該緩衝資料串的一緩衝資料部分設定為一乾淨未取用狀態；

當該緩衝資料部分處於該乾淨未取用狀態時，若經由該週邊元件介面控制器，在該CPU匯流排中偵測到對該緩衝資料串在該記憶體中之一對應位址，進行資料存取動作時，則將該緩衝資料部分設定為一不潔未取用狀態；

當該緩衝資料部分處於該乾淨未取用狀態時，若經由該週邊元件介面控制器，在該週邊元件匯流排中偵測到對該對應位址進行寫入的動作，就將該緩衝資料部分設定為該不潔未取用狀態；

當該緩衝資料部分處於該乾淨未取用狀態時，若需求該緩衝資料串的該週邊裝置從該緩衝資料部分中讀取該緩衝資料串，則將該緩衝資料部分設定為一乾淨已取用狀態；

當該緩衝資料部分處於該不潔未取用狀態時，若需求該緩衝資料串的該週邊裝置從該緩衝資料部分中讀取該緩衝資料串，則將該緩衝資料部分設定為該空虛狀態；

當該緩衝資料部分處於該乾淨已取用狀態時，若經由該週邊元件介面控制器，在該CPU匯流排中偵測到對該對應位址進行資料存取動作時，則將該緩衝資料部分設定為

六、申請專利範圍

該空虛狀態；以及

當該緩衝資料部分處於該乾淨已取用狀態時，若經由該週邊元件介面控制器，在該週邊元件匯流排中偵測到對該對應位址進行寫入的動作，則將該緩衝資料部分設定為該空虛狀態。

15.如申請專利範圍第14項所述之資料同步方法，其中讀取該緩衝資料串進入該資料緩衝區時，會同時藉由該週邊元件介面控制器發出一探測讀取命中信號至該中央處理器。

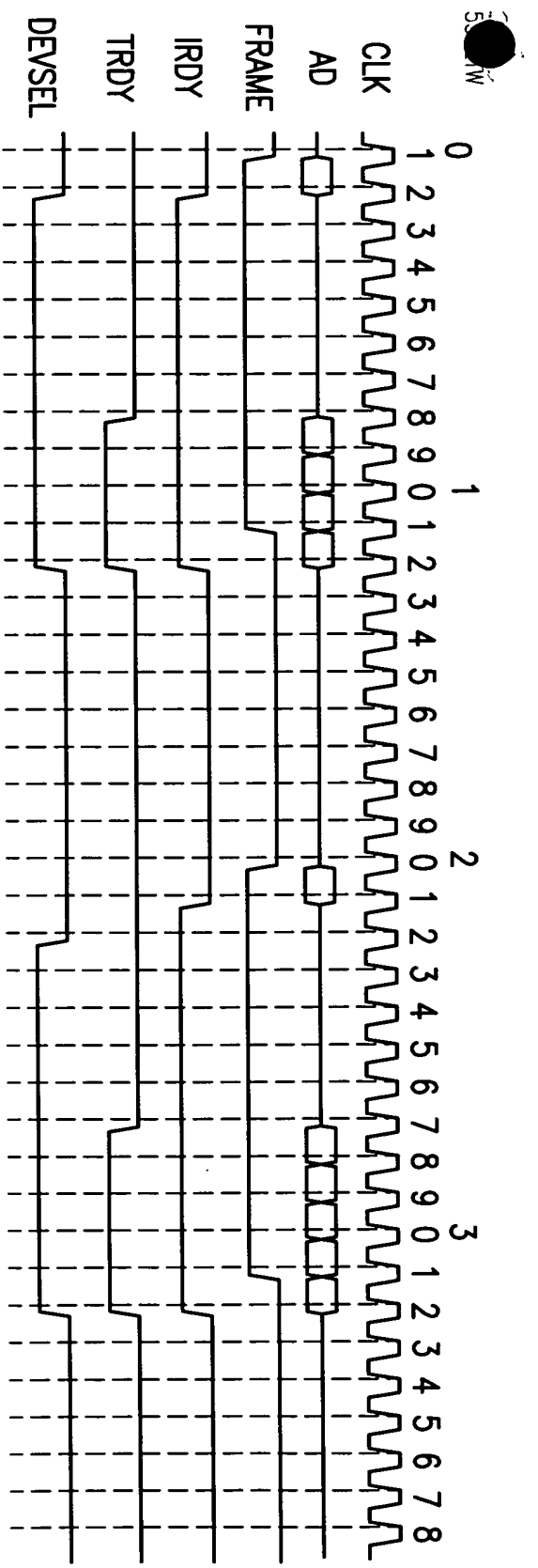
16.如申請專利範圍第15項所述之資料同步方法，其中該探測讀取命中信號更包括該對應位址。

(請先閱讀背面之注意事項再填寫本頁)

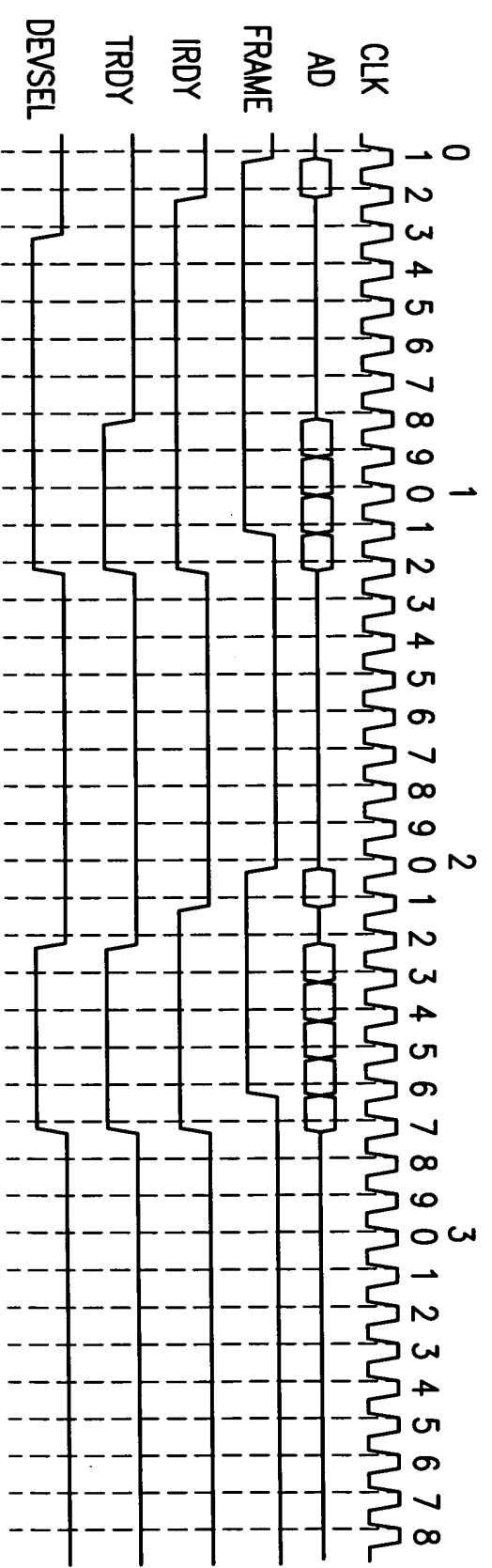
裝

訂

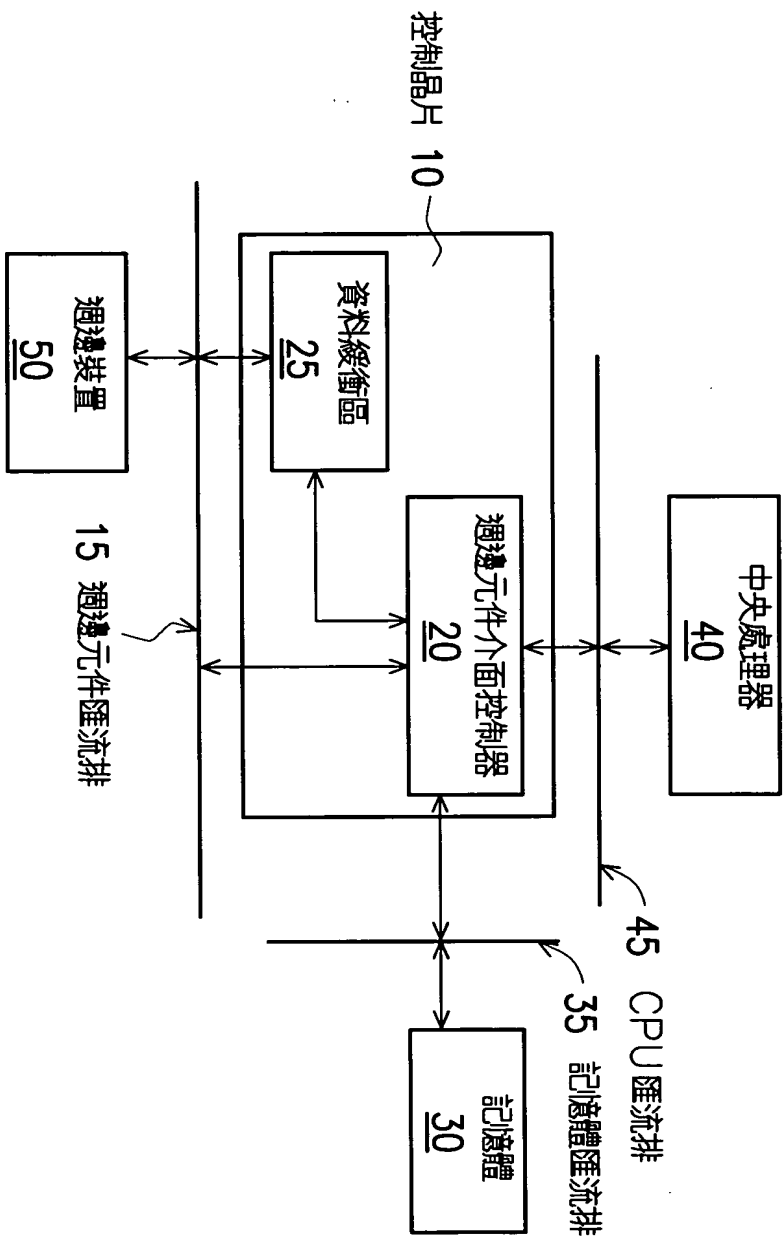
線



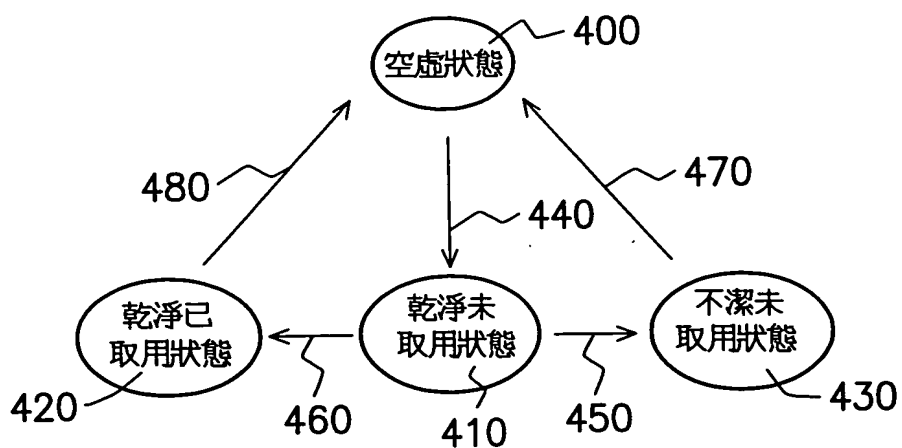
第 1 圖 (習知技藝)



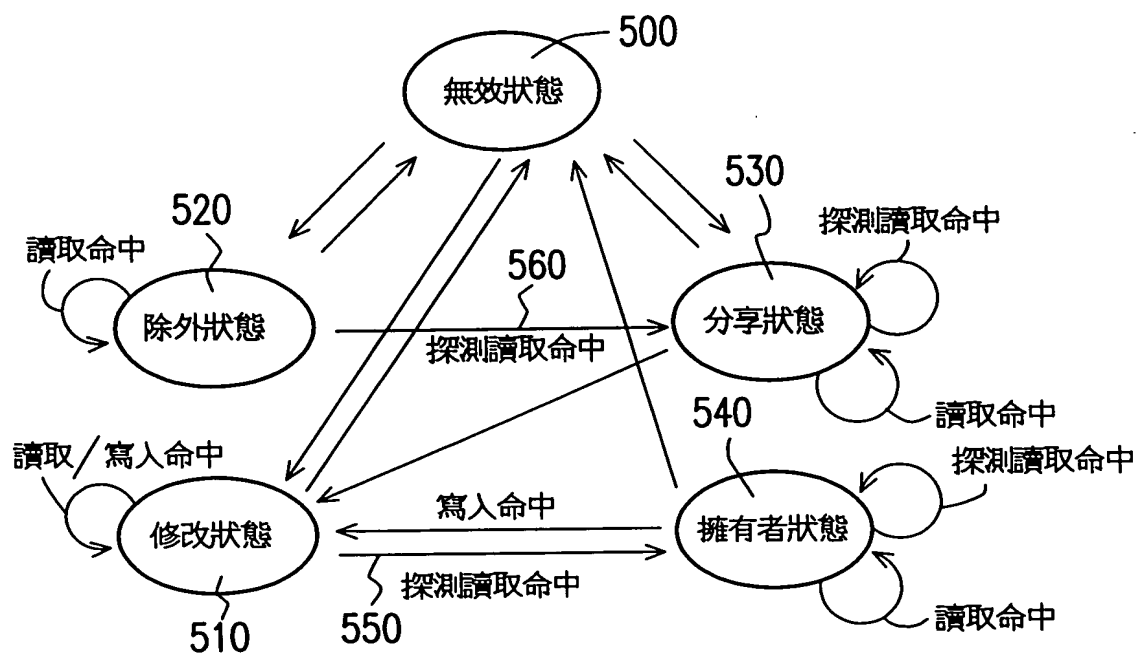
第 3 圖



第 2 圖



第 4 圖



第 5 圖